低功耗音频编解码器

SSM2603

特性

24位立体声模数和数模转换器
DAC SNR：100 dB(A加权)；THD：−80 dB(48 kHz、3.3 V)
ADC SNR：90 dB(A加权)；THD：−80 dB(48 kHz、3.3 V)
高效率耳机放大器
立体声线路输入和单声道麦克风输入
低功耗
- **7 mW立体声回放（1.8 V/1.5 V电源）**
- **14 mW录音和回放（1.8 V/1.5 V电源）**

低电源电压
- **模拟：1.8 V至3.6 V**
- **数字内核：1.5 V至3.6 V**
- **数字I/O：1.8 V至3.6 V**

正常模式下过采样速率：256/384；USB模式下过采样速率：250/272
音频采样速率：8 kHz、11.025 kHz、12 kHz、16 kHz、22.05 kHz、24 kHz、32 kHz、44.1 kHz、48 kHz、88.2 kHz和96 kHz
28引脚5 mm × 5 mm LFCSP (QFN)封装

应用

移动电话
MP3播放器
便携式游戏机
便携式电子设备
教育玩具

概述

SSM2603是一款低功耗、高质量立体声音频编解码器，配有一组立体声可编程增益放大器(PGA)线路输入和一个单声道麦克风输入，适合便携式数字音频应用。它具有两个24位模数转换器(ADC)通道和两个24位数模转换器(DAC)通道。

SSM2603可以作为主机或从机工作。它支持各种主时钟频率，包括：用于USB设备的12 MHz或24 MHz；标准256 fS或384 fS速率，例如12.288 MHz和24.576 MHz；以及许多常用音频采样速率，例如96 kHz、88.2 kHz、48 kHz、44.1 kHz、32 kHz、24 kHz、22.05 kHz、16 kHz、12 kHz、11.025 kHz和8 kHz。

SSM2603的模拟电路可以采用低至1.8 V的电源供电，数字电路可以采用低至1.5 V的电源供电。所有电源的最大电源电压均为3.6 V。

SSM2603提供软件可编程立体声输出选项，因而用户能够实现许多应用。音量控制功能可在较大的增益控制范围内控制音频信号。

SSM2603的额定温度范围为−40°C至+85°C工业温度范围，采用28引脚、5 mm × 5 mm引脚架构芯片级封装(LFCSP)。

功能框图

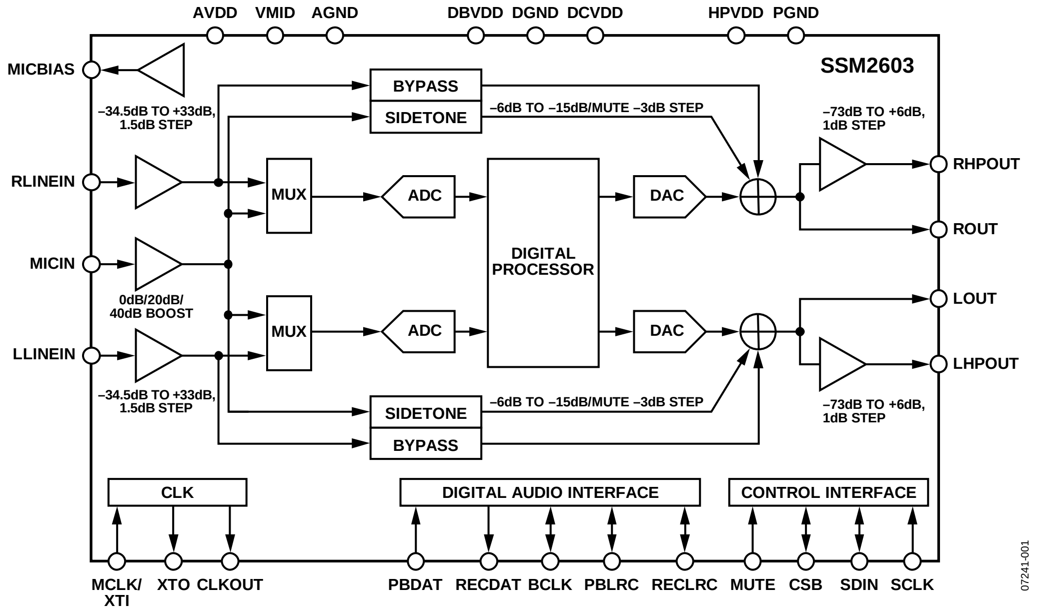

图1

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 **www.analog.com**
Fax: 781.461.3113 **©2008–2009 Analog Devices, Inc. All rights reserved.**

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性....1
应用....1
概述....1
功能框图....1
修订历史....2
技术规格....3
数字滤波器特性....4
时序特性....5
绝对最大额定值....7
热阻....7
ESD警告....7
引脚配置和功能描述....8
典型工作特性....9
转换器滤波器响应....9
数字去加重....10
工作原理....11
数字内核时钟....11
ADC和DAC....11
ADC高通滤波器和DAC去加重滤波器....11
硬件静音引脚....11
自动电平控制(ALC)....12
模拟接口....13
数字音频接口....15
软件控制接口....17
控制寄存器设置序列....17
典型应用电路....18
寄存器映射....19
寄存器映射详解....20
左声道ADC输入音量，地址0x00....20
右声道ADC输入音量，地址0x01....21
左声道DAC音量，地址0x02....22
右声道DAC音量，地址0x03....22
模拟音频路径，地址0x04....23
数字音频路径，地址0x05....23
电源管理，地址0x06....24
数字音频I/F，地址0x07....25
采样速率，地址0x08....25
激活，地址0x09....28
软件复位，地址0x0F....28
ALC控制1，地址0x10....29
ALC控制2，地址0x11....29
噪声门，地址0x12....30
外形尺寸....31
订购指南....31

修订历史

2009年8月—修订版0至修订版A

更改概述部分和图1....1
更改技术规格部分中的表1....3
更改表2中的主时钟容差的频率范围参数....4
增加表2的尾注1....4
更改表6....6
更改图6和表9....8
更改数字内核时钟部分....11
更改数字音频数据采样速率部分....15
更改图31....18
增加控制寄存器设置顺序部分....17
更改表10....19
更改表15、表16、表17和表18....22
更改表37....29
外形尺寸部分中增加裸露焊盘注释....31

2008年2月—修订版0：初始版

技术规格

除非另有说明，T_A = 25°C、AVDD = DVDD = 3.3 V、HPVDD = 3.3 V、1 kHz信号、f_S = 48 kHz、PGA增益 = 0 dB、24位音频数据。

表1

参数	最小值	典型值	最大值	单位	条件
建议工作条件					
模拟电源(AVDD)	1.8	3.3	3.6	V	
数字内核电源	1.5	3.3	3.6	V	
数字I/O电源	1.8	3.3	3.6		
接地（AGND、PGND、DGND）		0		V	
功耗					
上电					
立体声录音（1.5 V和1.8 V）		7		mW	
立体声录音（3.3 V）		22		mW	
立体声回放（1.5 V和1.8 V）		7		mW	
立体声回放（3.3 V）		22		mW	
掉电			40	µW	
线路输入					
输入信号电平(0 dB)		1 × AVDD/3.3		V rms	
输入阻抗		200		kΩ	PGA增益 = 0 dB
		10		kΩ	PGA增益 = +33 dB
		480		kΩ	PGA增益 = -34.5 dB
输入电容		10		pF	
信噪比（A加权）	70	90		dB	PGA增益 = 0 dB，AVDD = 3.3 V
		84		dB	PGA增益 = 0 dB，AVDD = 1.8 V
THD+ N		−80		dB	-1 dBFS输入，AVDD = 3.3 V
		−75		dB	-1 dBFS输入，AVDD = 1.8 V
通道隔离		80		dB	
可编程增益	−34.5	0	+33	dB	
增益步长		1.5		dB	
静音衰减		−80		dB	
麦克风输入					
输入信号电平		1 × AVDD/3.3		V rms	
信噪比（A加权）		85		dB	麦克风增益 = 0 dB (R_{EXT} = 40 kΩ)
总谐波失真		−70		dB	-1 dBFS输入，0dB增益
电源抑制比		50		dB	
静音衰减		80		dB	
输入电阻		10		kΩ	
输入电容		10		pF	
麦克风偏置					
偏置电压		0.75 × AVDD		V	
偏置电流源			3	mA	
信号带宽中的噪声		40		nV/√Hz	20 Hz至20 kHz
线路输出[1]					
满量程输出		1 × AVDD/3.3		V rms	
信噪比（A加权）	85	100		dB	AVDD = 3.3 V
		94			AVDD = 1.8 V
THD+ N		−80	−70	dB	AVDD = 3.3 V
		−75			AVDD = 1.8 V
电源抑制比		50		dB	
通道隔离		80		dB	

参数	最小值	典型值	最大值	单位	条件
耳机输出					
满量程输出电压		1 × AVDD/3.3		V rms	
最大输出功率		30		mW	$R_L = 32\ \Omega$
		60		mW	$R_L = 16\ \Omega$
信噪比（A加权）	85	96		dB	AVDD = 3.3 V
		90		dB	AVDD = 1.8 V
THD + N		−65		dB	$P_{OUT} = 10$ mW
		−60		dB	$P_{OUT} = 20$ mW
电源抑制比		50		dB	
静音衰减		80		dB	
线路输入至线路输出					
满量程输出电压		1 × AVDD/3.3		V rms	
信噪比（A加权）		92		dB	AVDD = 3.3 V
		86		dB	AVDD = 1.8 V
THD + N		−80		dB	AVDD = 3.3 V
		−80		dB	AVDD = 1.8 V
电源抑制		50		dB	
麦克风输入至耳机输出					
满量程输出电压		1 × AVDD/3.3		V rms	
信噪比（A加权）		94		dB	AVDD = 3.3 V
		88		dB	AVDD = 1.8 V
电源抑制比		50		dB	
可编程衰减	6		15	dB	
增益步长		3		dB	
静音衰减		80		dB	

[1] 线路输出的测试条件为从DAC发送−1 dBFS输入到线路输出。

数字滤波器特性

表2

参数	最小值	典型值	最大值	单位	条件
ADC滤波器					
通带	0		0.445 f_S	Hz	±0.04 dB
		0.5 f_S		Hz	−6 dB
通带纹波			±0.04	dB	
阻带	0.555 f_S			Hz	
阻带衰减	−61			dB	f > 0.567 f_S
高通滤波器转折频率		3.7		Hz	−3 dB
		10.4		Hz	−0.5 dB
		21.6		Hz	−0.1 dB
DAC滤波器					
通带	0		0.445 f_S	Hz	±0.04 dB
		0.5 f_S		Hz	−6 dB
通带纹波			±0.04	dB	
阻带	0.555 f_S			Hz	
阻带衰减	−61			dB	f > 0.565 f_S
主时钟容差[1]					
频率范围	8.0		18.5	MHz	
抖动容差		50		ps	

[1] CLKDIV2位（寄存器R8的位D6）设置为0。

时序特性

表3 I²C®时序

参数	限值		单位	描述
	t_{MIN}	t_{MAX}		
t_{SCS}	600		ns	起始条件建立时间
t_{SCH}	600		ns	起始条件保持时间
t_{PH}	600		ns	SCLK高电平脉冲宽度
t_{PL}	1.3		μs	SCLK低电平脉冲宽度
f_{SCLK}	0	526	kHz	SCLK频率
t_{DS}	100		ns	数据建立时间
t_{DH}		900	ns	数据保持时间
t_{RT}		300	ns	SDIN和SCLK上升时间
t_{FT}		300	ns	SDIN和SCLK下降时间
t_{HCS}	600		ns	结束条件建立时间

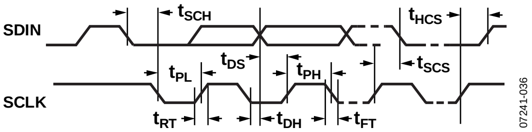

图2. I²C时序

表4. 数字音频接口从机模式时序

参数	限值		单位	描述
	t_{MIN}	t_{MAX}		
t_{DS}	10		ns	从BCLK上升沿起的PBDAT建立时间
t_{DH}	10		ns	从BCLK上升沿起的PBDAT保持时间
t_{LRSU}	10		ns	RECLRC/PBLRC建立时间到BCLK上升沿
t_{LRH}	10		ns	RECLRC/PBLRC保持时间到BCLK上升沿
t_{DD}		30	ns	从BCLK下降沿起的RECDAT传播延迟（70 pF外部负载）
t_{BCH}	25		ns	BCLK高电平脉冲宽度
t_{BCL}	25		ns	BCLK低电平脉冲宽度
t_{BCY}	50		ns	BCLK周期时间

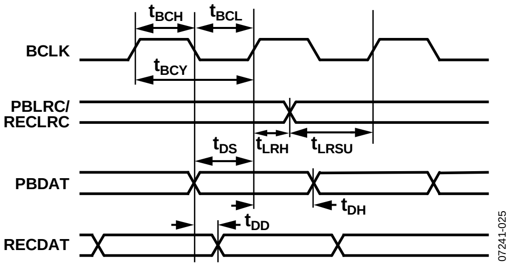

图3. 数字音频接口从机模式时序

表5. 数字音频接口主机模式时序

参数	限值		单位	描述
	t_{MIN}	t_{MAX}		
t_{DST}	30		ns	PBDAT建立时间到BCLK上升沿
t_{DHT}	10		ns	PBDAT保持时间到BCLK上升沿
t_{DL}		10	ns	从BCLK下降沿起的RECLRC/PBLRC传播延迟
t_{DDA}		10	ns	从BCLK下降沿起的RECDAT传播延迟
t_{BCLKR}	10		ns	BCLK上升时间（10 pF负载）
t_{BCLKF}	10		ns	BCLK下降时间（10 pF负载）
t_{BCLKDS}	45:55:00	55:45:00		BCLK占空比（正常和USB模式）

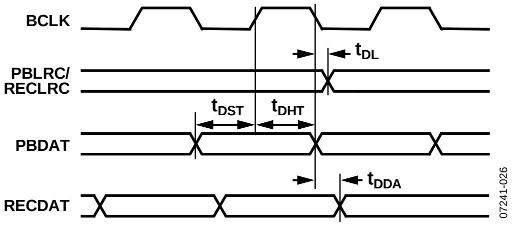

图4. 数字音频接口主机模式时序

表6. 主时钟时序[1]

参数	限值		单位	描述
	t_{MIN}	t_{MAX}		
t_{XTIY}	54		ns	MCLK/XTI时钟周期时间
t_{MCLKDS}	40:60	60:40		MCLK/XTI占空比
t_{XTIH}	18		ns	MCLK/XTI时钟高电平脉冲宽度
t_{XTIL}	18		ns	MCLK/XTI时钟低电平脉冲宽度
t_{COP}		20	ns	从MCLK/XTI下降沿起的CLKOUT传播延迟
$t_{COPDIV2}$		20	ns	从MCLK/XTI下降沿起的CLKODIV2传播延迟

[1] CLKDIV2位（寄存器R8的位D6）设置为0。

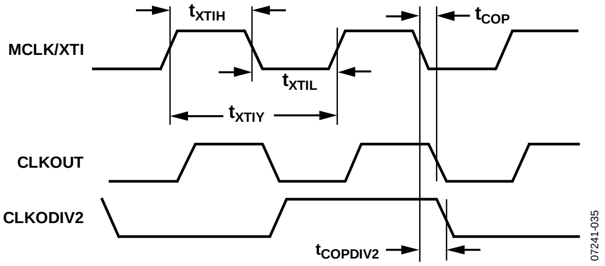

图5. 系统(MCLK)时钟时序

绝对最大额定值

除非另有说明，$T_A = 25°C$。

表7

参数	额定值
电源电压	5V
Input Voltage	V_{DD}
共模输入电压	V_{DD}
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
结温范围	-65°C至+165°C
引脚温度（焊接，60秒）	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA}针对最差条件件，即器件焊接在电路板上以实现表贴封装。

表8. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
28引脚, 5 mm × 5 mm LFCSP	28	32	°C/W

ESD警告

ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

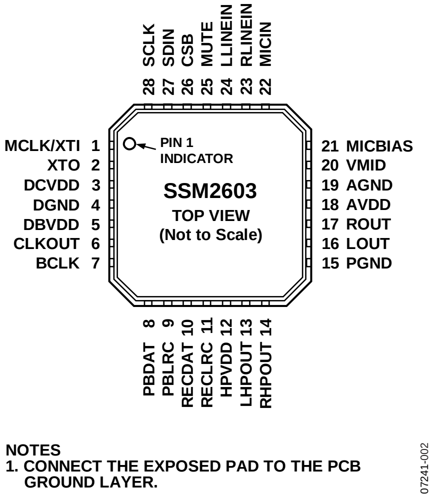

图6. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	类型	描述
1	MCLK/XTI	数字输入	主时钟输入/晶振输入。
2	XTO	数字输出	晶振输出。
3	DCVDD	数字电源	数字内核电源。
4	DGND	数字接地	数字接地。
5	DBVDD	数字电源	数字I/O电源。
6	CLKOUT	数字输出	缓冲时钟输出。
7	BCLK	数字输入/输出	数字音频位时钟。
8	PBDAT	数字输入	DAC数字音频数据输入，回放功能。
9	PBLRC	数字输入/输出	DAC采样速率时钟，回放功能（从左右声道）。
10	RECDAT	数字输出	ADC数字音频数据输出，录音功能。
11	RECLRC	数字输入/输出	ADC采样速率时钟，录音功能（从左右声道）。
12	HPVDD	模拟电源	耳机电源。
13	LHPOUT	模拟输出	左声道耳机输出。
14	RHPOUT	模拟输出	右声道耳机输出。
15	PGND	模拟接地	耳机接地。
16	LOUT	模拟输出	左声道线路输出。
17	ROUT	模拟输出	右声道线路输出。
18	AVDD	模拟电源	模拟电源。
19	AGND	模拟接地	模拟接地。
20	VMID	模拟输出	供电中间电压去耦输入。
21	MICBIAS	模拟输出	麦克风偏置。
22	MICIN	模拟输入	麦克风输入信号。
23	RLINEIN	模拟输入	右声道线路输入。
24	LLINEIN	模拟输入	左声道线路输入。
25	MUTE	数字输入	DAC输出静音，低电平有效。
26	CSB	数字输入	2线控制接口I2C地址选择。
27	SDIN	数字输入/输出	2线控制接口数据输入/输出。
28	SCLK	数字输入	2线控制接口时钟输入。
	Exposed Pad	裸露散热焊盘	将裸露焊盘连接到PCB接地层。

典型工作特性

转换器滤波器响应

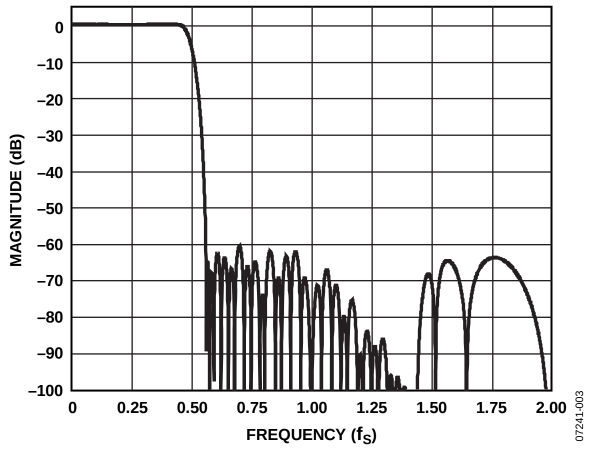

图7. ADC数字滤波器频率响应

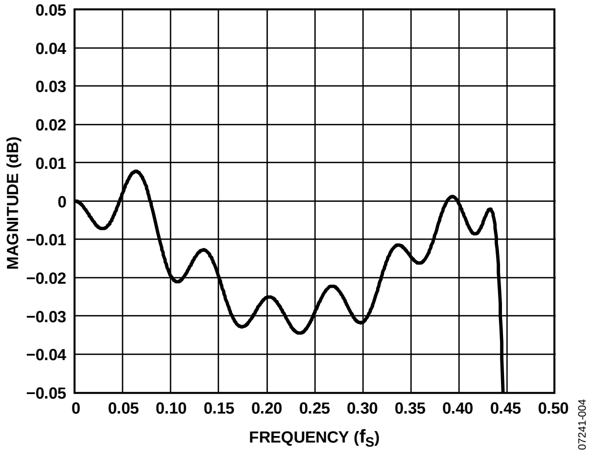

图8. ADC数字滤波器纹波

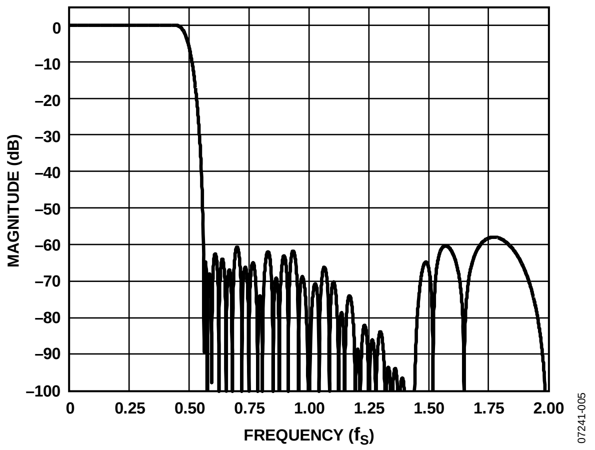

图9. DAC数字滤波器频率响应

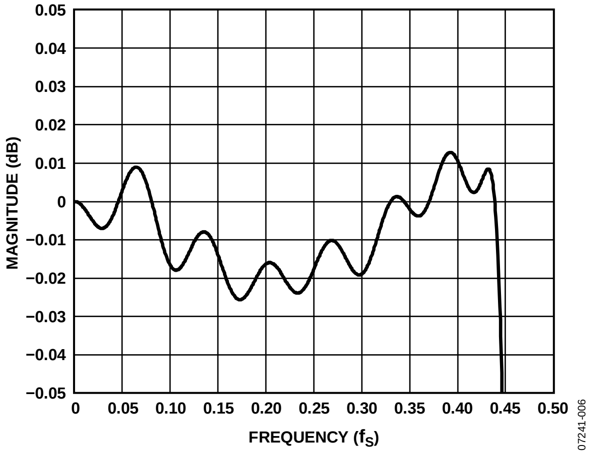

图10. DAC数字滤波器纹波

数字去加重

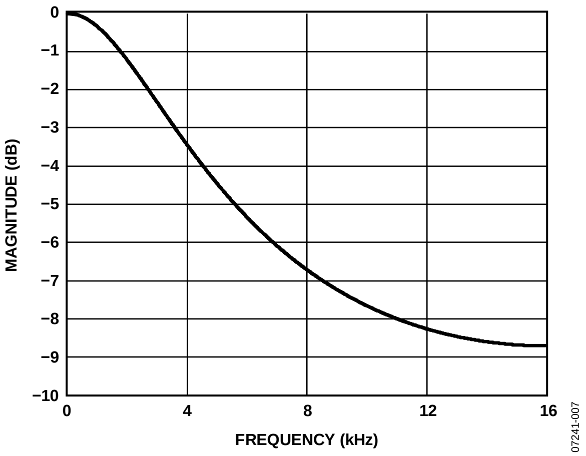

图11. 去加重频率响应，音频采样速率 = 32 kHz

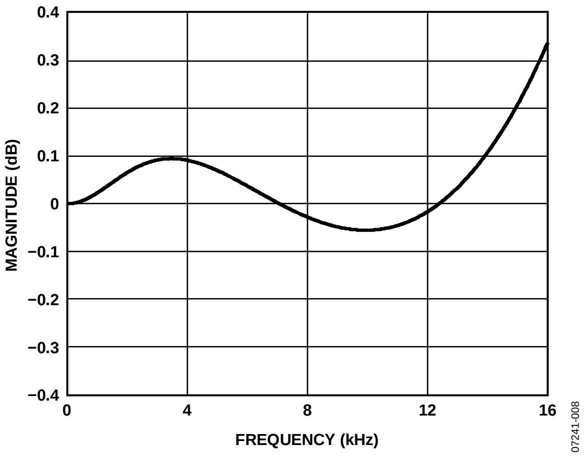

图12. 去加重误差，音频采样速率 = 32 kHz

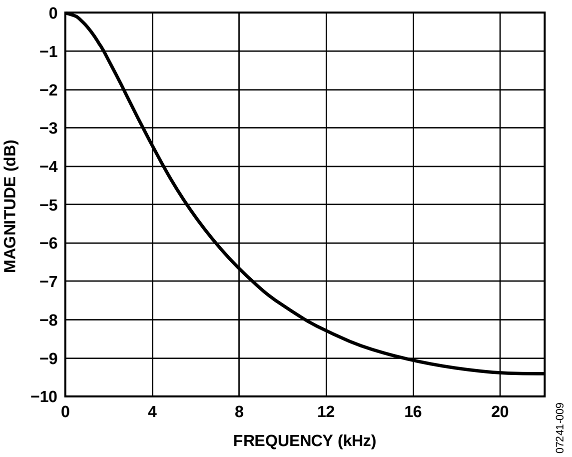

图13. 去加重频率响应，音频采样速率 = 44.1 kHz

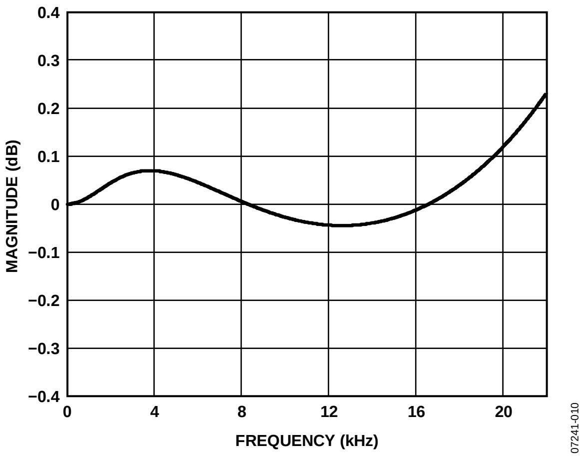

图14. 去加重误差，音频采样速率 = 44.1 kHz

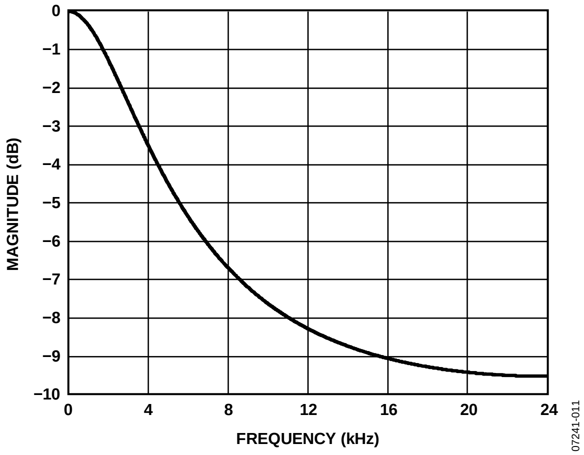

图15. 去加重频率响应，音频采样速率 = 48 kHz

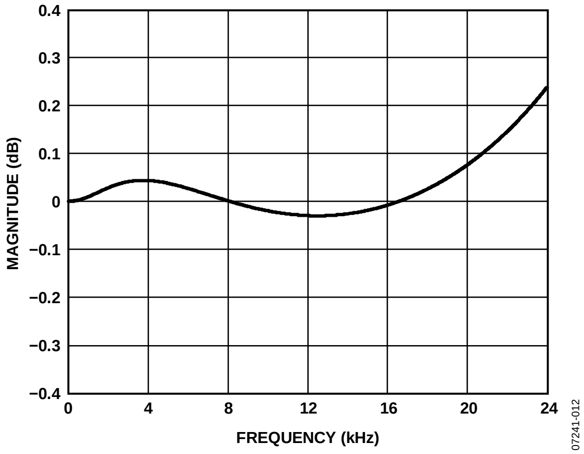

图16. 去加重误差，音频采样速率 = 48 kHz

工作原理

数字内核时钟

SSM2603数字内核内部是一个中央时钟源，称为内核时钟，它为所有内部音频数据处理和同步产生一个参考时钟。当使用外部时钟源驱动MCLK引脚时，务必选择抖动小于50 ps的时钟源。如果MCLK信号的产生达不到要求，数字音频质量可能会受影响。

为使SSM2603能够产生系统中的中央参考时钟，应将一个晶振连接在MCLK/XTI输入引脚与XTO输出引脚之间。

若要利用外部器件产生中央参考时钟，应直接通过MCLK/XTI输入引脚施加外部时钟信号。这种配置中，可以利用OSC位（寄存器R6的位D5）关断SSM2603的振荡器电路，以便降低功耗。

为支持主时钟频率非常高的应用，可以通过调整CLKDIV2位（寄存器R8的位D6）的设置，将SSM2603的内部内核参考时钟设置为MCLK或MCLK/2。与这一功能相对应的是，通过使能CLKODIV2位（寄存器R8的位D7），CLKOUT引脚也可以利用内核时钟信号或内核时钟的1/2驱动外部时钟源。

当激活SSM2603的数字内核时，用户必须按照如下顺序操作：通过寄存器R6启用所需的上电模块之后，插入某一延迟时间，然后激活（寄存器R9的位D0）以使能数字内核。

延迟时间可通过下式近似计算：

$$t = C \times 25,000/3.5$$

其中C为VMID引脚上的去耦电容。例如，如果C = 4.7 μF，则t = 34 ms。

ADC和DAC

SSM2603内置一对过采样Σ-Δ型ADC。当AVDD = 3.3 V时，ADC最大满量程输入电平为1.0 V rms。如果ADC的输入信号超过此电平，就会发生数据过载，引起声音失真。

ADC可以接受来自立体声线路输入端或单声道麦克风输入端的模拟音频输入。注意，ADC只能接受来自单一源的输入，用户必须利用INSEL位（寄存器R4的位D2）选择线路输入或麦克风输入作为信号源。经过转换后，ADC输出的数字数据通过ADC滤波器进行处理。

对应于ADC通道，SSM2603还内置一对过采样Σ-Δ型DAC，用于将来自内部DAC滤波器的数字音频数据转换为模拟音频信号。通过设置控制寄存器的DACMU位（寄存器R5的位D3），也可以让DAC输出静音。

ADC高通滤波器和DAC去加重滤波器

ADC和DAC各自利用单独的数字滤波器来执行24位信号处理。这些数字滤波器适用于录音和回放两种模式，并且针对所用的各个采样速率进行了优化。

在录音工作模式下，来自ADC的未处理数据进入ADC滤波器，被转换成适当的采样频率后，输出至数字音频接口。

在回放工作模式下，DAC滤波器利用用户选择的采样速率，将数字音频接口数据转换成过采样数据。通过使能DACSEL（寄存器R4的位D4），过采样数据经过DAC处理后被送至模拟输出混频器。

用户可以将该器件设置为自动检测并消除输入源信号中的任何直流失调。为此，应利用ADCHPF位（寄存器R5的位D0）使能ADC数字滤波器中的数字高通滤波器（特性见表2）。

此外，用户可以利用DEEMPH位（寄存器R5的位D1和位D2）实现数字去加重。

硬件静音引脚

MUTE是硬件静音引脚，可以将SSM2603编解码器的DAC输出置于静默状态。当使能MUTE时，编解码器进入静音状态，回放输出电压建立至VMID。MUTE的使能如图17所示。

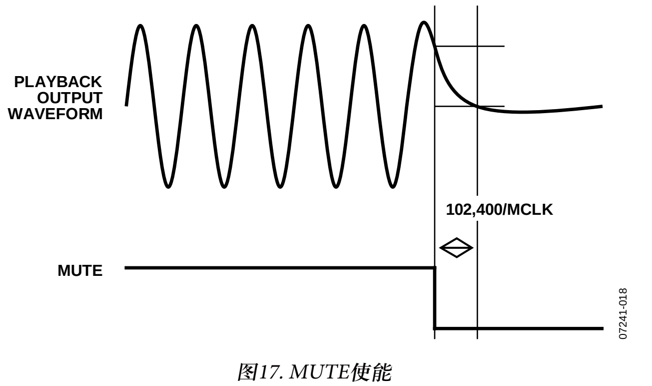

图17. MUTE使能

自动电平控制(ALC)

SSM2603编解码器具有自动电平控制(ALC)功能，启用后可以抑制削波并提高动态范围，防止输入信号突然变大。其实现原理是连续调整PGA增益，使得ADC输入端的信号电平保持恒定。

恢复释放（增益斜升）时间

恢复释放时间指PGA增益斜升至其范围的90%所需的时间。因此，录音电平回到目标值的时间取决于两个因素：恢复释放时间和所需的增益调整。如果增益调整很小，回到目标值的时间将小于恢复释放时间。

启动建立（增益斜降）时间

启动建立时间指PGA增益斜降至其范围的90%所需的时间。因此，录音电平回到目标值的时间取决于两个因素：启动建立时间和所需的增益调整。如果增益调整很小，回到目标值的时间将小于启动建立时间。

噪声门

在ALC功能已启用的情况下，如果输入信号长时间静默，可能会听到嘶嘶声，这是由一种称为“噪声泵”的现象引起的。为防止这种现象，SSM2603采用了噪声门功能。利用NGTH位（寄存器R18的位D3至位D7）可以设置用户选定的阈值。当使能噪声门时，ADC输出或者静音，或者保持恒定的增益，以防发生噪声泵现象。有关噪声门设置的更多信息，参见表41。

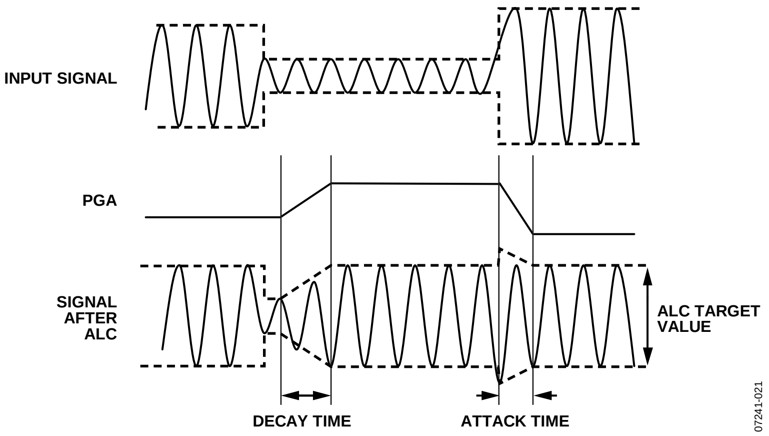

图18. PGA和ALC恢复释放时间和启动建立时间定义

模拟接口

信号链

SSM2603为片内ADC提供两种输入：立体声单端线路输入和单声道麦克风输入。通过设置INSEL位（寄存器R4的位D2），可以将线路输入或麦克风输入连接到ADC，但不能同时连接。此外，通过设置SIDETONE_EN位（寄存器R4的位D5）和BYPASS位（寄存器R4的位D3），可以将线路或麦克风输入直接路由并混频至输出端。SSM2603的片内DAC提供线路和耳机输出。

立体声线路输入和单声道麦克风输入

SSM2603包含一组单端立体声线路输入（RLINEIN和LLINEIN），通过AVDD与AGND之间的分压器内部偏置到VMID。可以将线路输入信号连接到内部ADC；如果需要，还可以利用BYPASS位（寄存器R4的位D3），通过旁路路径将其直接路由至输出。

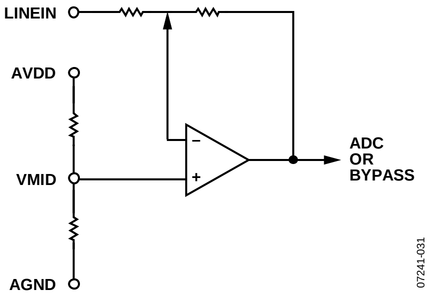

图19. ADC的线路输入

通过设置LINVOL位（寄存器R0的位D0至D5）和RINVOL位（寄存器R1的位D0至D5），可以在−34.5 dB至+33 dB的范围内以+1.5 dB的步长调整线路输入音量。默认情况下，左右线路输入上的音量控制可以独立调整。但如果选择同时调整，则LRINBOTH或RLINBOTH位会用同一值加载两组音量控制寄存器。用户还可以设置LINMUTE位（寄存器R0的位D7）和RINMUTE位（寄存器R1的位D7），使ADC的线路输入信号静音。

高阻抗、低电容单声道麦克风输入引脚(MICIN)具有两个增益级和一个麦克风偏置电平(MICBIAS)，该电平通过AVDD与AGND之间的分压器内部偏置到VMID。可以将麦克风输入信号连接到内部ADC；如果需要，还可以利用SIDETONE_EN位（寄存器R4的位D5），通过伴音路径将其直接路由至输出。

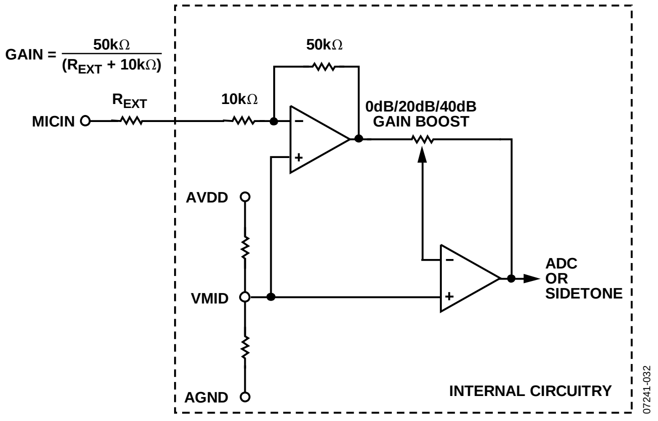

图20. ADC的麦克风输入

第一增益级由一个反相配置的低噪声运算放大器组成，并集成50 kΩ反馈电阻和10 kΩ输入电阻。默认麦克风输入信号增益为14 dB。可以在MICIN引脚上串联一个外部电阻(REXT)，用以将麦克风输入信号的第一级增益最低降至0 dB，其计算公式如下：

$$\text{麦克风输入增益} = 50\ k\Omega/(10\ k\Omega + R_{EXT})$$

麦克风信号路径的第二级增益是从内部麦克风升压电路获得。可用设置有0 dB、20 dB和40 dB，由MICBOOST位（寄存器R4的位D0）和MICBOOST2位（寄存器R4的位D8）控制。为实现20 dB的二级增益提升，用户可以选择MICBOOST或MICBOOST2。为实现40 dB的二级麦克风信号增益，用户必须同时选择MICBOOST和MICBOOST2。

如同线路输入，用户也可以设置MUTEMIC位（寄存器R4的位D1），使ADC的麦克风输入信号静音。

注意，当从线路和麦克风输入获得音频数据时，ADC的最大满量程输入为1.0 V rms（AVDD = 3.3 V时）。输入电压不应大于满量程电压，否则ADC会过载，导致声音失真和音质下降。为在麦克风和线路输入中获得最佳音质，应当谨慎配置增益，使得ADC接收到的信号与其满量程相等。这样可以使信噪比最大，从而实现最佳的整体音质。

至输出的旁路和伴音路径

通过设置SIDETONE_EN（寄存器R4的位D5）和BYPASS（寄存器R4的位D3）软件控制寄存器选择，可以将线路和麦克风输入直接路由并混频至输出端。无论何种模式，模拟输入信号都是直接路由至输出端，而不经过数字化转换。输出混频器的旁路信号与各线路输入的PGA输出信号电平相同。

输出混频器的伴音信号必须通过配置SIDETONE_ATT（寄存器R4的位D6和D7）控制寄存器位进行衰减，衰减幅度为−6 dB至−15 dB，步长为−3 dB。选定的衰减发生在麦克风的第一级和第二级增益将初始麦克风信号放大之后。

线路和耳机输出

DAC输出、麦克风输入（伴音路径）和线路输入（旁路路径）汇聚于输出混频器。此输出信号可以同时存在于立体声线路输出和立体声耳机输出。

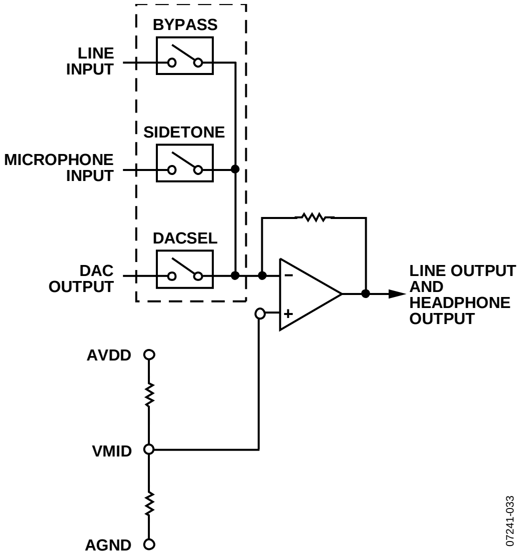

图21. 输出信号链

SSM2603具有一组高效耳机放大器输出LHPOUT和RHPOUT，能够驱动16 Ω或32 Ω耳机扬声器。

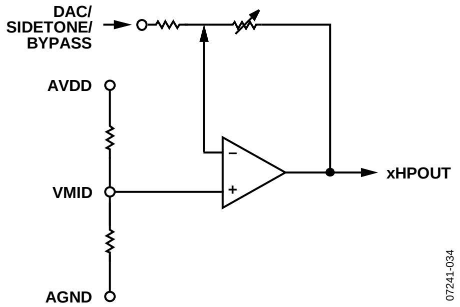

图22. 耳机输出

如同线路输入，在默认情况下，LHPOUT和RHPOUT音量是通过设置耳机输出控制寄存器的LHPVOL位（寄存器R2的位D0至D5）和RHPVOL位（寄存器R3的位D0至D5）而独立进行调整。将小于0110000的代码写入LHPVOL和RHPVOL位，可以使耳机输出静音。用户也可以同时加载两个声道的音量控制寄存器，方法是写入左右声道DAC音量寄存器的LRHPBOTH（寄存器R2的位D8）和RLHPBOTH（寄存器R3的位D8）位。

当AVDD和HPVDD均为3.3 V时，耳机输出的最大输出电平为1.0 V rms。当器件处于待机模式或者耳机输出静音时，为了抑制爆音和咔嚓声，耳机和线路输出被置于VMID直流电平。

SSM2603的立体声线路输出LOUT和ROUT引脚能够驱动10 kΩ和50 pF的负载阻抗。输出混频器具有固定增益0 dB，其线路输出信号电平是不可调的。当AVDD = 3.3 V时，线路输出的最大输出电平为1.0 V rms。

数字音频接口

数字音频输入支持如下四种数字音频通信协议：右对齐模式、左对齐模式、I2S模式和数字信号处理器(DSP)模式。

这些模式通过写入数字音频接口寄存器的FORMAT位（寄存器R7的位D1和位D0）进行选择。所有模式均为MSB优先，并以16或32位的数据工作。

录音模式

在RECDAT输出引脚上，数字音频接口可以发送录音操作需要的数字音频数据。数字音频接口将经过处理的内部ADC数字滤波器数据发送到RECDAT输出上。RECDAT上的数字音频数据流包括经过时域多路复用的左声道和右声道音频数据。

RECLRC是数字音频帧时钟信号，用于分离RECDAT线上的左声道和右声道数据。

BCLK信号充当数字音频时钟。BCLK信号可以是输入信号或输出信号，取决于SSM2603是处于主机模式还是从机模式。在录音操作中，RECDAT和RECLRC必须与BCLK信号同步，以免数据被破坏。

回放模式

在PBDAT输入引脚上，数字音频接口可以接收数字音频数据以进行回放操作。PBDAT上的数字音频数据流包括经过时域多路复用的左声道和右声道音频数据。PBLRC是数字音频帧时钟信号，用于分离PBDAT线上的左声道和右声道数据。

BCLK信号充当数字音频时钟。BCLK信号可以是输入信号或输出信号，取决于SSM2603是处于主机模式还是从机模式。在回放操作中，PBDAT和PBLRC必须与BCLK信号同步，以免数据被破坏。

数字音频数据采样速率

为了支持各种常用的DAC和ADC采样速率，SSM2603提供两种工作模式——正常模式和USB模式，可通过USB位（寄存器R8的位D0）进行选择。

在正常模式下，SSM2603支持8 kHz至96 kHz的数字音频采样速率。正常模式支持基于256 fS和384 fS的时钟。要选择所需的采样速率，用户必须通过SR控制位（寄存器R8的位D2至D5）设置适当的采样速率，并使该选择与MCLK引脚提供的内核时钟频率一致。相关指南参见表29和表30。

在USB模式下，SSM2603支持8 kHz至96 kHz的数字音频采样速率。USB模式支持基于250 fS和272 fS的时钟。使能USB模式时，SSM2603支持12 MHz的通用串行总线(USB)时钟速率；如果控制寄存器位CLKDIV2激活，则它还支持24 MHz时钟速率。用户必须通过SR控制位（寄存器R8的位D2至D5）设置适当的采样速率。相关指南参见表29和表31。

注意，采样速率是以固定分频比从MCLK信号产生。由于所有音频处理功能都要参考内核MCLK信号，因此如果此信号遭到破坏，SSM2603的输出音频质量也会受损。BCLK/RECLRC/ RECDAT或BCLK/PBLRC/PBDAT信号必须与数字音频接口电路中的MCLK信号同步。为保证数据同步过程中不会丢失数据，MCLK必须大于或等于BCLK频率。

BCLK频率应大于

采样速率 × 字长 × 2

只有确保BCLK频率大于此值，才能保证数字音频接口电路捕捉到所有有效数据位。例如，如果需要32 kHz数字音频采样速率和32位字长，则BCLK ≥ 2.048 MHz。

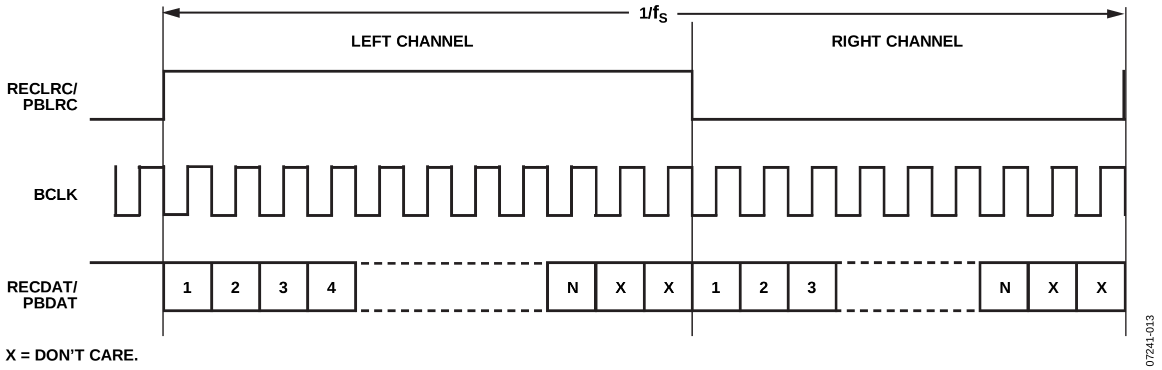

图23. 左对齐音频输入模式

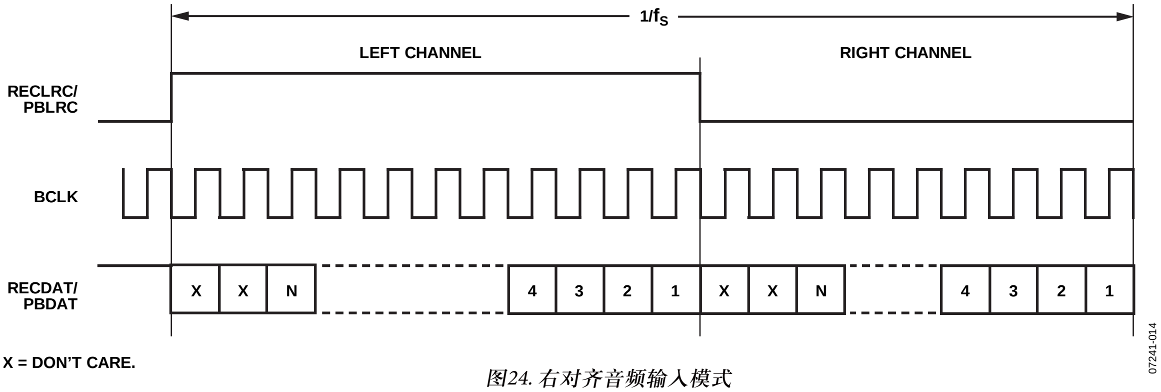

图24. 右对齐音频输入模式

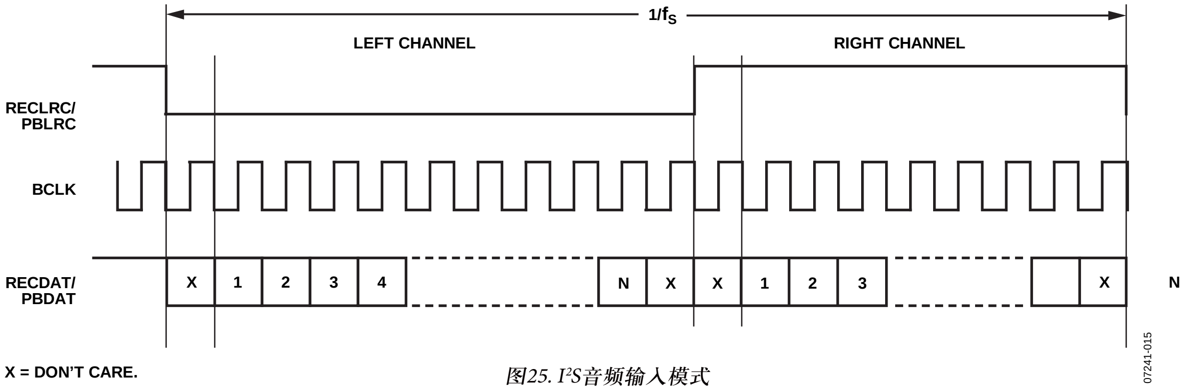

图25. I²S音频输入模式

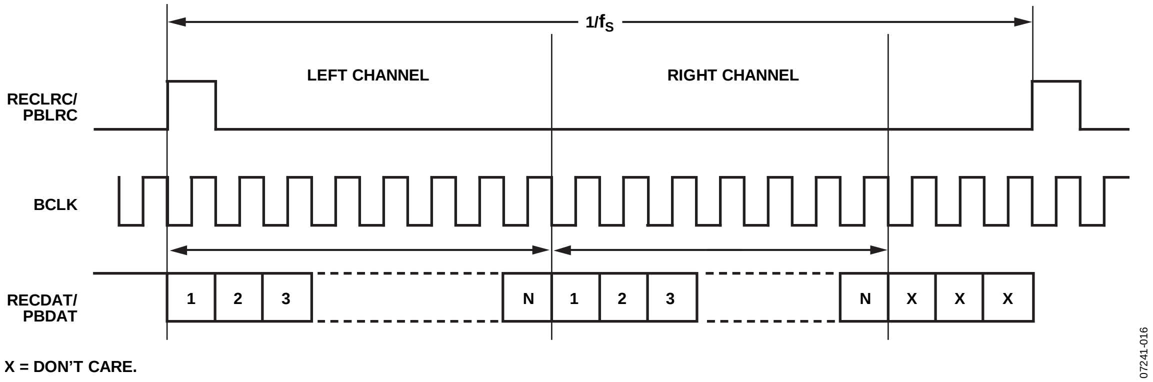

图26. DSP/脉冲编码调制(PCM)模式音频输入子模式1 (SM1) [LRP位 = 0]

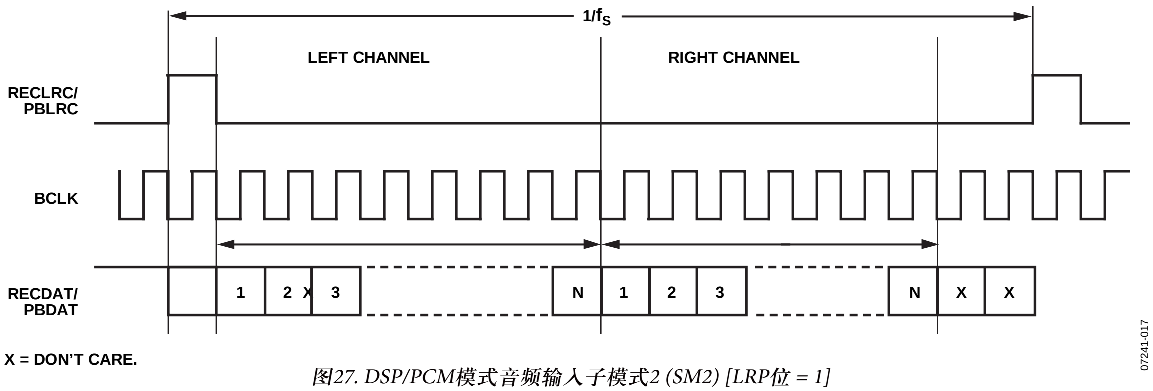

图27. DSP/PCM模式音频输入子模式2 (SM2) [LRP位 = 1]

软件控制接口

通过软件控制接口可以访问用户可选的控制寄存器，它可以利用2线(I2C)接口工作。

每个控制寄存器包括一个MSB优先的16位控制数据字。位B15至B9是寄存器映射地址，位B8至B0是相关寄存器映射的寄存器数据。

SDIN产生串行控制数据字，SCLK为串行数据提供时钟，CSB决定I2C器件地址。如果CSB引脚设置为0，则所选的地址为0011010；如果设置为1，则地址为0011011。

控制寄存器设置序列

1. 使能寄存器R6中除Out位（位D4）以外的所有必需电源管理位。Out位应设置为1，直到控制寄存器设置序列的最后一步。
2. 完成电源管理位的设置之后，设置所有其它必需的寄存器，但激活位（寄存器R9的位D0）和电源管理寄存器的Out位除外。
3. 如工作原理的“数字内核时钟”部分所述，插入足够的延迟时间，以便对VMID去耦电容充电，然后设置激活位（寄存器R9的位D0）。
4. 最后将寄存器R6的Out位设置为0，以使能SSM2603的DAC输出路径。

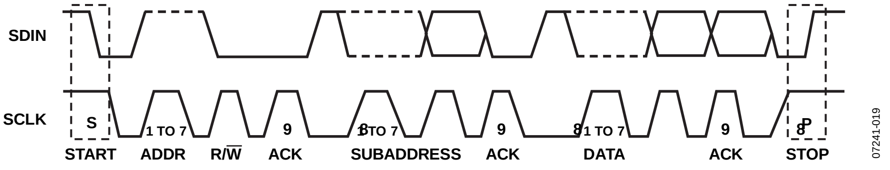

图28．2线I²C一般时序图

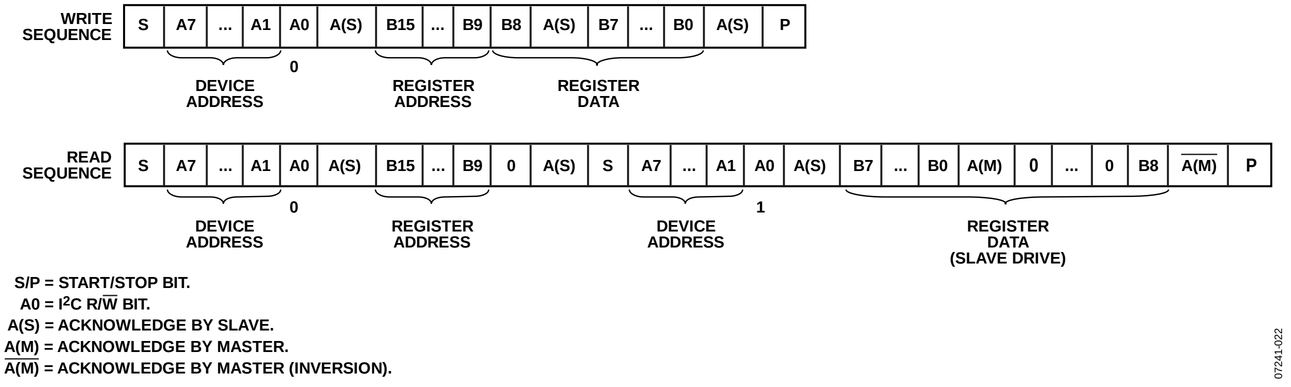

图29．I²C写入和读取序列

典型应用电路

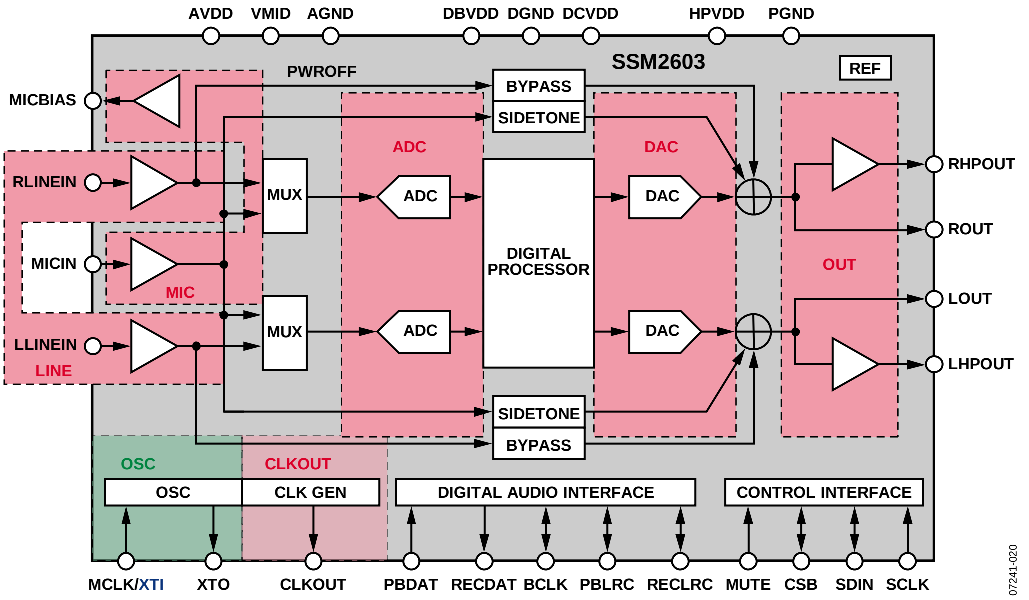

图30. 电源管理功能位置图（控制寄存器R6的位D0至D7）

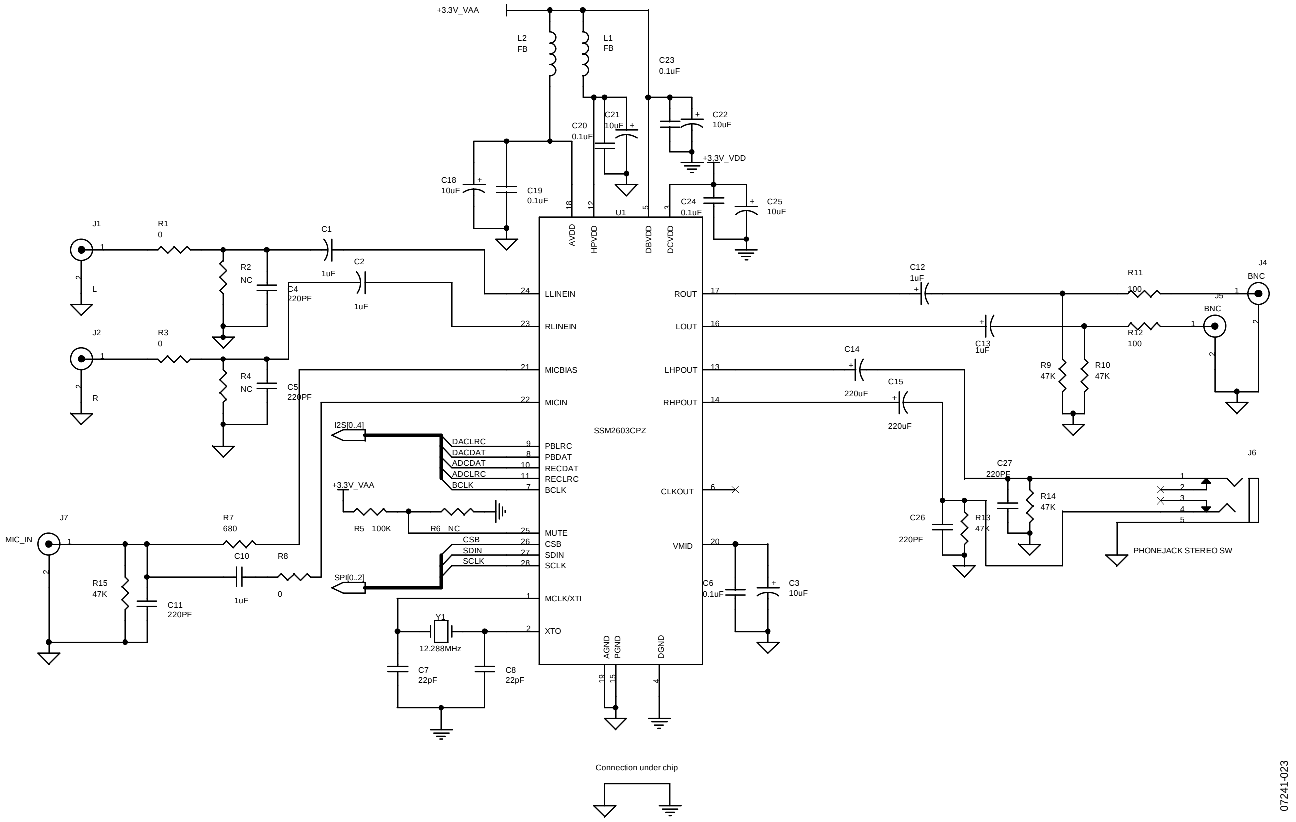

图31. 典型应用电路

寄存器映射

表10. 寄存器映射

寄存器	地址	地址	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default
R0	0x00	左声道ADC输入音量	LRINBOTH	LINMUTE	0	LINVOL[5:0]						010010111
R1	0x01	右声道ADC输入音量	RLINBOTH	RINMUTE	0	RINVOL[5:0]						010010111
R2	0x02	左声道DAC音量	LRHPBOTH	0	LHPVOL[6:0]							001111001
R3	0x03	左声道DAC音量	RLHPBOTH	0	RHPVOL[6:0]							001111001
R4	0x04	模拟音频路径	MICBOOST2	SIDETONE_ATT[1:0]		SIDETONE_EN	DACSEL	Bypass	INSEL	MUTEMIC	MICBOOST	000001010
R5	0x05	数字音频路径	0	0	0	0	HPOR	DACMU	DEEMPH[1:0]		ADCHPF	000001000
R6	0x06	电源管理	0	PWROFF	CLKOUT	OSC	Out	DAC	ADC	MIC	LINEIN	010011111
R7	0x07	数字音频I/F	0	BCLKINV	MS	LRSWAP	LRP	WL[1:0]		Format[1:0]		000001010
R8	0x08	采样速率	0	CLKODIV2	CLKDIV2	SR[3:0]				BOSR	USB	000000000
R9	0x09	激活	0	0	0	0	0	0	0	0	Active	000000000
R15	0x0F	软件复位	Reset[8:0]									000000000
R16	0x10	ALC控制1	ALCSEL[1:0]		MAXGAIN[2:0]			ALCL[3:0]				001111011
R17	0x11	ALC控制2	0	DCY[3:0]				ATK[3:0]				000110010
R18	0x12	噪声门	0	NGTH[4:0]					NGG[1:0]		NGAT	000000000

寄存器映射详解

左声道ADC输入音量，地址0x00

表11. 左声道ADC输入音量寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
LRINBOTH	LINMUTE	0	LINVOL[5:0]					

表12. 左声道ADC输入音量寄存器位功能描述

位名称	描述	设置
LRINBOTH	左至右线路输入ADC数据加载控制	0 = 禁止左声道ADC数据同时加载到右声道寄存器（默认） 1 = 允许左声道ADC数据同时加载到右声道寄存器
LINMUTE	左声道输入静音	0 = 禁用静音 1 = 使能至ADC的数据路径静音（默认）
LINVOL[5:0]	左声道PGA音量控制	00 0000 = -34.5 dB ... 1.5 dB步长 01 0111 = 0 dB（默认） ... 1.5 dB步长 01 1111 = 12 dB 10 0000 = 13.5 dB 100001 = 15 dB 100010 = 16.5 dB 100011 = 18 dB 10 0100 = 19.5 dB 100101 = 21 dB 100110 = 22.5 dB 100111 = 24dB 10 1000 = 25.5 dB 10 1001 = 27dB 101010 = 28.5 dB 101011 = 30dB 101100 = 31.5 dB 101101至11 1111 = 33 dB

右声道ADC输入音量，地址0x01

表13. 右声道ADC输入音量寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
RLINBOTH	RINMUTE	0	RINVOL[5:0]					

表14. 右声道ADC输入音量寄存器位功能描述

位名称	描述	设置
RLINBOTH	右至左线路输入ADC数据加载控制	0 = 禁止右声道ADC数据同时加载到左声道寄存器（默认） 1 = 允许右声道ADC数据同时加载到左声道寄存器
RINMUTE	右声道输入静音	0 = 禁用静音 1 = 至ADC的数据路径静音（默认）
RINVOL[5:0]	右声道PGA音量控制	00 0000 = -34.5 dB ... 1.5 dB步长 01 0111 = 0 dB（默认） ... 1.5 dB步长 01 1111 = 12 dB 10 0000 = 13.5 dB 100001 = 15 dB 100010 = 16.5 dB 100011 = 18 dB 100100 = 19.5 dB 100101 =21 dB 100110 = 22.5 dB 100111 = 24dB 10 1000 = 25.5 dB 10 1001 = 27dB 101010 = 28.5 dB 101011 = 30dB 101100 = 31.5 dB 10 1101至11 1111 = 33 dB

左声道DAC音量，地址0x02

表15. 左声道DAC音量寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
LRHPBOTH	0	LHPVOL[6:0]						

表16. 左声道DAC音量寄存器位功能描述

位名称	描述	设置
LRHPBOTH	左至右耳机音量加载控制	0 = 禁止左声道耳机音量数据同时加载到右声道寄存器（默认） 1 = 允许左声道耳机音量数据同时加载到右声道寄存器
LHPVOL[6:0]	左声道耳机音量控制	000 0000至010 1111 = 静音 011 0000 = -73 dB ... 1 dB步长 111 1001 = 0 dB（默认） ... 1 dB步长 111 1111 =+6dB

右声道DAC音量，地址0x03

表17. 右声道DAC音量寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
RLHPBOTH	0	RHPVOL[6:0]						

表18. 右声道DAC音量寄存器位功能描述

位名称	描述	设置
RLHPBOTH	右至左耳机音量加载控制	0 = 禁止右声道耳机音量数据同时加载到左声道寄存器（默认） 1 = 允许右声道耳机音量数据同时加载到左声道寄存器
RHPVOL[6:0]	右声道耳机音量控制	000 0000至010 1111 = 静音 011 0000 = -73 dB ... 1 dB步长 111 1001 = 0 dB（默认） ... 1 dB步长 111 1111 =+6dB

模拟音频路径，地址0x04

表19. 模拟音频路径寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
MICBOOST2	SIDETONE_ATT[1:0]		SIDETONE_EN	DACSEL	Bypass	INSEL	MUTEMIC	MICBOOST

表20. 模拟音频路径寄存器位功能描述

位名称	描述	设置
MICBOOST2	附加麦克风放大器增益升压控制	0 = 0 dB（默认） 1 = 20 dB
SIDETONE_ATT[1:0]	麦克风伴音增益控制	00 = -6 dB（默认） 01 =-9 dB 10 = -12 dB 11 =-15 dB
SIDETONE_EN	伴音使能。允许衰减的麦克风信号在器件输出端混频	0 = 伴音禁用（默认） 1 = 伴音使能
DACSEL	DAC选择。允许DAC输出在器件输出端混频	0 = 不选择DAC（默认） 1 = 选择DAC
Bypass	旁路选择。允许线路输入信号在器件输出端混频	0 = 旁路禁用 1 = 旁路使能（默认）
INSEL	ADC的输入选择：线路或麦克风	0 = ADC选择线路输入（默认） 1 = 麦克风输入
MUTEMIC	至ADC的麦克风静音控制	0 = 禁用至ADC的数据路径静音 1 = 使能至ADC的数据路径静音（默认）
MICBOOST	主要麦克风放大器增益升压控制	0 = 0dB（默认） 1 = 20 dB

数字音频路径，地址0x05

表21. 数字音频路径寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	HPOR	DACMU	DEEMPH[1:0]		ADCHPF

表22. 数字音频路径寄存器位功能描述

位名称	描述	设置
HPOR	禁用高通滤波器时存储直流失调	0 = 清除失调（默认） 1 = 存储失调
DACMU	DAC数字静音	0 = 不静音（信号有效） 1 = 静音（默认）
DEEMPH[1:0]	去加重控制	00 = 不去加重（默认） 01 = 32 kHz采用速率 10 = 44.1 kHz采用速率 11 = 48 kHz采用速率
ADCHPF	ADC高通滤波器控制	0 = ADC高通滤波器使能（默认） 1 = ADC高通滤波器禁用

电源管理，地址0x06

表23. 电源管理寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	PWROFF	CLKOUT	OSC	Out	DAC	ADC	MIC	LINEIN

表24. 电源管理寄存器位功能描述

位名称	描述	设置
PWROFF	全芯片掉电控制	0 = 上电 1 = 掉电（默认）
CLKOUT	时钟输出掉电控制	0 = 上电 1 = 掉电（默认）
OSC	晶振掉电控制	0 = 上电 1 = 掉电（默认）
Out	输出掉电控制	0 = 上电 1 = 掉电（默认）
DAC	DAC掉电控制	0 = 上电 1 = 掉电（默认）
ADC	ADC掉电控制	0 = 上电 1 = 掉电（默认）
MIC	麦克风输入掉电控制	0 = 上电 1 = 掉电（默认）
LINEIN	线路输入掉电控制	0 = 上电 1 = 掉电（默认）

功耗

表25

模式	PWROFF	CLKOUT	OSC	OUT	DAC	ADC	MIC	LINEIN	AVDD (3.3 V)	HPVDD (3.3 V)	DCVDD (3.3 V)	DBVDD (3.3 V)	Unit
录音和回放													
仅回放													
振荡器使能	0	0	0	0	0	1	1	1	5.2	2.2	1.7	1.8	mA
外部时钟	0	1	1	0	0	1	1	1	5.1	2.2	1.7	1.7	mA
仅录音													
线路输入，振荡器使能	0	0	0	1	1	0	1	0	4.7	N/A	2.0	1.9	mA
线路输入，外部时钟	0	0	1	1	1	0	1	0	4.7	N/A	2.0	1.8	mA
麦克风输入，振荡器使能	0	0	0	1	1	0	0	1	4.8	N/A	2.0	1.9	mA
麦克风输入，外部时钟	0	0	1	1	1	0	0	1	4.8	N/A	2.0	1.8	mA
伴音（麦克风至线路输出）	0	0	1	0	1	1	0	1	2.0	2.2	0.2	1.7	mA
模拟旁路（线路输入或线路输出）	0	0	1	0	1	1	1	0	2.0	2.2	0.2	1.7	mA
掉电	1	1	1	1	1	1	1	1	0.001	<0.001	0.03	0.03	mA

数字音频I/F，地址0x07

表26. 数字音频I/F寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	BCLKINV	MS	LRSWAP	LRP	WL[1:0]		Format[1:0]	

表27. 数字音频I/F寄存器位功能描述

位名称	描述	设置
BCLKINV	BCLK反转控制	0 = BCLK不反转（默认） 1 = BCLK反转
MS	主机模式使能	0 = 使能从机模式（默认） 1 = 使能主机模式
LRSWAP	交换DAC数据控制	0 = 正常输出左右声道数据（默认） 1 = 音频接口中的左右声道数据交换
LRP	右对齐、左对齐和I²S模式下的时钟极性控制	0 = 正常PBLRC和RECLRC（默认），或DSP子模式1 1 = PBLRC和RECLRC极性反转，或DSP子模式2
WL[1:0]	数据字长度控制	00 = 16位 01 = 20位 10 = 24位（默认） 11 = 32位
Format[1:0]	数字音频输入格式控制	00 = 右对齐 01 = 左对齐 10 = I²S模式（默认） 11 = DSP模式

采样速率，地址0x08

表28. 采样速率寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	CLKODIV2	CLKDIV2	SR[3:0]				BOSR	USB

表29. 采样速率寄存器位功能描述

位名称	描述	设置
CLKODIV2	CLKOUT分频器选择	0 = CLKOUT为内核时钟（默认） 1 = CLKOUT为内核时钟的1/2
CLKDIV2	内核时钟分频选择	0 = 内核时钟为MCLK（默认） 1 = 内核时钟为MCLK的1/2
SR[3:0]	时钟建立条件	参见表30和表31
BOSR	基本过采样速率	USB模式： 0 = 支持基于250 f_S的时钟（默认） 1 = 支持基于272 f_S的时钟 正常模式： 0 = 支持基于256 f_S的时钟（默认） 1 = 支持基于384 f_S的时钟
USB	USB模式选择	0 = 使能正常模式（默认） 1 = 使能USB模式

表30. 采样速率查找表，USB禁用（正常模式）

MCLK (CLKDIV2 = 0)	MCLK (CLKDIV2 = 1)	ADC采样速率 (RECLRC)	DAC采样速率 (PBLRC)	USB	SR[3:0]	BOSR	BCLK (MS = 1)[1]
12.288 MHz	24.576 MHz	8 kHz (MCLK/1536)	8 kHz (MCLK/1536)	0	0011	0	MCLK/4
		8 kHz (MCLK/1536)	48 kHz (MCLK/256)	0	0010	0	MCLK/4
		12 kHz (MCLK/1024)	12 kHz (MCLK/1024)	0	0100	0	MCLK/4
		16 kHz (MCLK/768)	16 kHz (MCLK/768)	0	0101	0	MCLK/4
		24 kHz (MCLK/512)	24 kHz (MCLK/512)	0	1110	0	MCLK/4
		32 kHz (MCLK/384)	32 kHz (MCLK/384)	0	0110	0	MCLK/4
		48 kHz (MCLK/256)	8 kHz (MCLK/1536)	0	0001	0	MCLK/4
		48 kHz (MCLK/256)	48 kHz (MCLK/256)	0	0000	0	MCLK/4
		96 kHz (MCLK/128)	96 kHz (MCLK/128)	0	0111	0	MCLK/2
11.2896 MHz	22.5792 MHz	8.0182 kHz (MCLK/1408)	8.0182 kHz (MCLK/1408)	0	1011	0	MCLK/4
		8.0182 kHz (MCLK/1408)	44.1 kHz (MCLK/256)	0	1010	0	MCLK/4
		11.025 kHz (MCLK/1024)	11.025 kHz (MCLK/1024)	0	1100	0	MCLK/4
		22.05 kHz (MCLK/512)	22.05 kHz (MCLK/512)	0	1101	0	MCLK/4
		44.1 kHz (MCLK/256)	8.0182 kHz (MCLK/1408)	0	1001	0	MCLK/4
		44.1 kHz (MCLK/256)	44.1 kHz (MCLK/256)	0	1000	0	MCLK/4
		88.2 kHz (MCLK/128)	88.2 kHz (MCLK/128)	0	1111	0	MCLK/2
18.432 MHz	36.864 MHz	8 kHz (MCLK/2304)	8 kHz (MCLK/2304)	0	0011	1	MCLK/6
		8 kHz (MCLK/2304)	48 kHz (MCLK/384)	0	0010	1	MCLK/6
		12 kHz (MCLK/1536)	12 kHz (MCLK/1536)	0	0100	1	MCLK/6
		16 kHz (MCLK/1152)	16 kHz (MCLK/1152)	0	0101	1	MCLK/6
		24 kHz (MCLK/768)	24 kHz (MCLK/768)	0	1110	1	MCLK/6
		32 kHz (MCLK/576)	32 kHz (MCLK/576)	0	0110	1	MCLK/6
		48 kHz (MCLK/384)	48 kHz (MCLK/384)	0	0000	1	MCLK/6
		48 kHz (MCLK/384)	8 kHz (MCLK/2304)	0	0001	1	MCLK/6
		96 kHz (MCLK/192)	96 kHz (MCLK/192)	0	0111	1	MCLK/3
16.9344 MHz	33.8688 MHz	8.0182 kHz (MCLK/2112)	8.0182 kHz (MCLK/2112)	0	1011	1	MCLK/6
		8.0182 kHz (MCLK/2112)	44.1 kHz (MCLK/384)	0	1010	1	MCLK/6
		11.025 kHz (MCLK/1536)	11.025 kHz (MCLK/1536)	0	1100	1	MCLK/6
		22.05 kHz (MCLK/768)	22.05 kHz (MCLK/768)	0	1101	1	MCLK/6
		44.1 kHz (MCLK/384)	8.0182 kHz (MCLK/2112)	0	1001	1	MCLK/6
		44.1 kHz (MCLK/384)	44.1 kHz (MCLK/384)	0	1000	1	MCLK/6
		88.2 kHz (MCLK/192)	88.2 kHz (MCLK/192)	0	1111	1	MCLK/3

[1] BCLK频率仅用于主机模式和从机右对齐模式。

表31. 采样速率查找表，USB使能（USB模式）

MCLK (CLKDIV2 = 0)	MCLK (CLKDIV2 = 1)	ADC采样速率 (RECLRC)	DAC采样速率 (PBLRC)	USB	SR[3:0]	BOSR	BCLK (MS = 1)[1]
12.000 MHz	24.000 MHz	8 kHz (MCLK/1500)	8 kHz (MCLK/1500)	1	0011	0	MCLK
		8 kHz (MCLK/1500)	48 kHz (MCLK/250)	1	0010	0	MCLK
		8.0214 kHz (MCLK/1496)	8.0214 kHz (MCLK/1496)	1	1011	1	MCLK
		8.0214 kHz (MCLK/1496)	44.118 kHz (MCLK/272)	1	1010	1	MCLK
		11.0259 kHz (MCLK/1088)	11.0259 kHz (MCLK/1088)	1	1100	1	MCLK
		12 kHz (MCLK/1000)	12 kHz (MCLK/1000)	1	1000	0	MCLK
		16 kHz (MCLK/750)	16 kHz (MCLK/750)	1	1010	0	MCLK
		22.0588 kHz (MCLK/544)	22.0588 kHz (MCLK/544)	1	1101	1	MCLK
		24 kHz (MCLK/500)	24 kHz (MCLK/500)	1	1110	0	MCLK
		32 kHz (MCLK/375)	32 kHz (MCLK/375)	1	0110	0	MCLK
		44.118 kHz (MCLK/272)	8.0214 kHz (MCLK/1496)	1	1001	1	MCLK
		44.118 kHz (MCLK/272)	44.118 kHz (MCLK/272)	1	1000	1	MCLK
		48 kHz (MCLK/250)	8 kHz (MCLK/1500)	1	0001	0	MCLK
		48 kHz (MCLK/250)	48 kHz (MCLK/250)	1	0000	0	MCLK
		88.235 kHz (MCLK/136)	88.235 kHz (MCLK/136)	1	1111	1	MCLK
		96 kHz (MCLK/125)	96 kHz (MCLK/125)	1	0111	0	MCLK

[1] BCLK频率仅用于主机模式和从机右对齐模式。

激活，地址0x09

表32. 激活寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	Active

表33. 激活寄存器位功能描述

位名称	描述	设置
Active	数字内核激活控制	0 = 禁用数字内核（默认） 1 = 激活数字内核

软件复位，地址0x0F

表34. 软件复位寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
Reset[8:0]								

表35. 软件复位寄存器位功能描述

位名称	描述	设置
Reset[8:0]	对此寄存器写入全0，可以将所有寄存器设置为默认值。 对此寄存器写入其它数据无作用。	0 = 复位（默认）

ALC控制1，地址0x10

表36. ALC控制1寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
ALCSEL[1:0]		MAXGAIN[2:0]			ALCL[3:0]			

表37. ALC控制1寄存器位功能描述

位名称	描述	设置
ALCSEL[1:0]	ALC选择	00 = ALC禁用（默认） 01 = 仅右声道使能ALC 10 = 仅左声道使能ALC 11 = 两个声道均使能ALC
MAXGAIN[2:0]	PGA最大增益	000 = -12 dB 001 =-6dB ... 6 dB步长 111 = 30dB（默认）
ALCL[3:0]	ALC目标电平	0000 =-28.5 dBFS 0001 =-27 dBFS ... 1.5 dBFS步长 1011 = -12 dBFS（默认） ... 1.5 dBFS步长 1111 =-6 dBFS

ALC控制2，地址0x11

表38. ALC控制2寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	DCY[3:0]				ATK[3:0]			

表39. ALC控制2寄存器位功能描述

位名称	描述	设置
DCY[3:0]	恢复（释放）时间控制	0000 = 24 ms 0001 =48 ms 0010 = 96 ms 0011 = 192 ms（默认） ... …（时间随着代码的递增而加倍） 1010 = 24.576 sec
ATK[3:0]	ALC启动建立时间控制	0000 = 6 ms 0001 = 12 ms 0010 = 24 ms（默认） ... …（时间随着代码的递增而加倍） 1010 = 6.144 sec

噪声门，地址0x12

表40. 噪声门寄存器位图

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	NGTH[4:0]					NGG[1:0]		NGAT

表41. 噪声门寄存器位功能描述

位名称	描述	设置
NGTH[4:0]	噪声门阈值	00000 = -76.5 dBFS（默认） 00001 = -75 dBFS ... 1.5 dBFS步长 11110 = -31.5 dBFS 11111 = -30 dBFS
NGG[1:0]	噪声门类型	X0 = 保持PGA增益恒定（默认）[1] 01 = 输出静音 11 = 保留
NGAT	噪声门控制	0 = 禁用噪声门（默认） 1 = 使能噪声门

[1] X = 无关.

外形尺寸

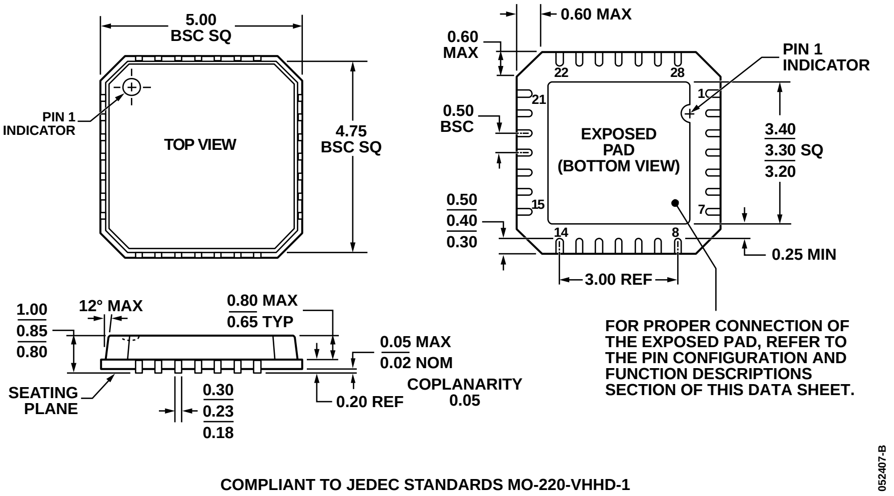

图32. 28引脚引脚 架构芯片级封装，
5 mm x 5 mm超薄四方体
(CP-28-4)，
尺寸单位：mm

订购指南

型号	温度范围	封装描述	封装选项
SSM2603CPZ-R2[1]	-40°C至+85°C	28引脚引脚架构芯片级封装[LFCSP_VQ]	CP-28-4
SSM2603CPZ-REEL[1]	-40°C至+85°C	28引脚引脚架构芯片级封装[LFCSP_VQ]	CP-28-4
SSM2603CPZ-REEL7[1]	-40°C至+85°C	28引脚引脚架构芯片级封装[LFCSP_VQ]	CP-28-4
SSM2603-EVALZ[1]		评估板	

[1] Z = RoHS Compliant Part.

注释

©2008–2009 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D07241-0-8/09(A)